

HLee4_Job_1_of_1

Printed by HPS Server
for

EAST

Printer: cp4_3c03_gbfhptr

Date: 04/14/03

Time: 15:19:25

Document Listing

Document	Selected Pages	Page Range	Copies
JP404051529A	4	1 - 4	1
Total (1)	4	-	-

JP404051529A

⑫ 公開特許公報(A)

平4-51529

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月20日

H 01 L 21/336
29/784

9056-4M H 01 L 29/78

3 1 1 Y

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 平2-159847

⑯ 出 願 平2(1990)6月20日

⑰ 発 明 者 紺 屋 直 弘 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑱ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁性基板の上にソース、ドレイン電極を形成し、この基板の上にアモルファス・シリコン半導体とゲート絶縁膜とを順次堆積させた後、前記ゲート絶縁膜の上方からレーザを照射して前記アモルファス・シリコン半導体をポリ化し、この後前記ゲート絶縁膜の上にゲート電極を形成することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体をポリ・シリコンとした薄膜トランジスタの製造方法に関するものである。

〔従来の技術〕

薄膜トランジスタには、一般に、アモルファス・シリコン半導体を用いられているが、アモルファス・シリコン半導体を用いる薄膜トランジスタはその動作速度が遅いため、最近では、アモル

ファス・シリコン半導体をポリ化してトランジスタの動作速度を速くすることが考えられている。

この薄膜トランジスタは、従来、ガラス等からなる絶縁性基板の上にソース、ドレイン電極を形成し、この基板の上にアモルファス・シリコン半導体を堆積させた後、このアモルファス・シリコン半導体をレーザ照射によりポリ化してポリ・シリコン半導体とし、この後前記半導体層の上にゲート絶縁膜を堆積させて、このゲート絶縁膜の上にゲート電極を形成する製造方法で製造されている。

〔発明が解決しようとする課題〕

しかしながら、前記従来の製造方法では、基板の上に堆積させたアモルファス・シリコン半導体をポリ化してから、その上にゲート絶縁膜を堆積させているため、アモルファス・シリコン半導体を用いる薄膜トランジスタを製造する場合のように半導体とゲート絶縁膜とを連続して堆積させることができず、したがって、前記従来の製造方法で製造された薄膜トランジスタは、半導体層とゲート絶縁膜との界面が不安定で、トランジスタ特性

にばらつきが生ずるという問題をもっていた。

本発明はこのような実情にかんがみてなされたものであって、その目的とするところは、アモルファス・シリコン半導体をポリ化してポリ・シリコン半導体とするものでありながら、半導体層とゲート絶縁膜との界面を安定した良好な界面にして、特性の均一な薄膜トランジスタを得ることができる薄膜トランジスタの製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の薄膜トランジスタの製造方法は、絶縁性基板の上にソース、ドレイン電極を形成し、この基板の上にアモルファス・シリコン半導体とゲート絶縁膜とを順次堆積させた後、前記ゲート絶縁膜の上方からレーザを照射して前記アモルファス・シリコン半導体をポリ化し、この後前記ゲート絶縁膜の上にゲート電極を形成することを特徴とするものである。

〔作用〕

すなわち、本発明の薄膜トランジスタの製造方

法は、基板上にアモルファス・シリコン半導体とゲート絶縁膜とを堆積させた後に、前記ゲート絶縁膜の上方からレーザを照射してアモルファス・シリコン半導体をポリ化するものであり、この製造方法によれば、半導体層とゲート絶縁膜とを連続して堆積させることができるから、半導体層とゲート絶縁膜との界面を安定した良好な界面にして、特性の均一な薄膜トランジスタを得ることができる。

〔実施例〕

以下、本発明の一実施例を、第1図～第5図の製造工程図を参照し説明する。

まず、第1図に示すように、ガラス等からなる絶縁性基板1の上に、クロム(Cr)等からなる金属膜を250Åの厚さに堆積させ、その上に、磷(P)等のn型不純物をドーブしたn型アモルファス・シリコン($n^+ - a - Si$)を125Å～250Åの厚さに堆積させた後、この両堆積膜を同一形状にパターニングして、前記金属膜からなるソース電極2およびドレイン電極3と、前記

n型アモルファス・シリコンからなるオーミックコンタクト層4とを形成する。

次に、同図に示すように、前記基板1上に、i型のアモルファス・シリコン($i - a - Si$)半導体5aを500Å～1000Åの厚さに堆積させて半導体層5を形成し、その上に、分子結合していない酸素を含んでいる酸化量の多い酸化絶縁物、例えば酸化シリコン(SiO_x)または酸化 tantalum (TaO_x)等からなるゲート絶縁膜6を200Å～500Åの厚さに堆積させる。このアモルファス・シリコン半導体5aとゲート絶縁膜6はスパッタ装置により真空中で連続して堆積させる。

次に、第2図に示すように、ゲート絶縁膜6の上方からXeClエキシマレーザAを照射して、前記半導体層5とその下のオーミックコンタクト層4とをその融点以上の温度に加熱し、この後徐冷する。このように、半導体層5とオーミックコンタクト層4とをその融点以上の温度に加熱して徐冷すると、半導体層5のアモルファス・シリ

コン半導体5aがポリ化して、ポリ・シリコン(poly-Si)半導体5bとなり、またオーミックコンタクト層4のアモルファス・シリコンもポリ化して、ポリ・シリコンとなる。また、この実施例では、ゲート絶縁膜6を、酸化量の多い酸化絶縁物で形成しているため、ゲート絶縁膜6の上方からレーザAを照射して半導体層5を加熱すると、この半導体層5とゲート絶縁膜6との界面に、半導体層5のシリコン(Si)とゲート絶縁膜6中の分子結合していない酸素(O)との反応によって薄いシリコン酸化膜(SiO_2 膜)7が生成する。

次に、第3図に示すように、前記ゲート絶縁膜6と半導体層5およびオーミックコンタクト層4をフォトリソグラフィ法によって所定の外形にパターニングする。

次に、第4図に示すように、基板1上に窒化シリコン(Si_3N_4)からなる耐圧保持用絶縁膜8をプラズマCVD法により1500Å～3000Åの厚さに堆積させ、次いでこの耐圧保持用絶縁膜

8に、基板1上のソース電極2およびドレイン電極3に達するコンタクト孔9を形成する。

次に、第5図に示すように、前記耐圧保持用絶縁膜8の上およびそのコンタクト孔9内にアルミニウム(AI)等の金属膜をスパッタリング法により3000Å~4000Åの厚さに堆積させてこの金属膜をパターニングする方法で、ゲート電極10およびそのライン部(図示せず)と、前記コンタクト孔9においてソース、ドレイン電極2、3にそれぞれつながるライン部11、12を形成して、薄膜トランジスタを完成する。

すなわち、この実施例の薄膜トランジスタの製造方法は、基板1上にアモルファス・シリコン半導体5aとゲート絶縁膜6とを堆積させた後に、前記ゲート絶縁膜6の上方からレーザAを照射してアモルファス・シリコン半導体5aをポリ化するものであり、この製造方法によれば、半導体層5とゲート絶縁膜6とを連続して堆積させることができるから、半導体層5とゲート絶縁膜6との界面を安定した良好な界面にして、特性の均一な

薄膜トランジスタを得ることができる。

また、この実施例では、前記ゲート絶縁膜6を酸化絶縁物で形成しているため、ゲート絶縁膜6の上方からレーザAを照射してアモルファス・シリコン半導体5aをポリ化する際に、半導体層5とゲート絶縁膜6との界面にシリコン酸化膜7が生成させることができる。そして、このシリコン酸化膜7は、半導体層5のシリコンとゲート絶縁膜6中の酸素との反応により生成するものであるため、このシリコン酸化膜7は半導体層5ともゲート絶縁膜6とも一体に結合しており、したがって、このように製造方法によれば、半導体層5とゲート絶縁膜6との界面をさらに良好にすることができる。

なお、前記実施例では、ソース、ドレイン電極2、3のライン部11、12を耐圧保持用絶縁膜8の上に形成しているが、このライン部11、12は、ソース、ドレイン電極2、3の形成時に基板1上に形成しておいてもよい。また、前記実施例では、ゲート絶縁膜6の上に耐圧保持用絶縁

膜8を形成し、この耐圧保持用絶縁膜8の上にゲート電極10を形成しているが、ゲート絶縁膜6を十分な絶縁耐圧をもつ厚さに形成すれば、前記耐圧保持用絶縁膜8は必ずしも必要ではないから、その場合は、前記ゲート絶縁膜6の上に直接ゲート電極10を形成してもよい。

さらに、前記実施例では、ゲート絶縁膜6を酸化絶縁物で形成しているが、このゲート絶縁膜6は、窒化シリコン(SiN)等の酸化を含まない絶縁物で形成してもよく、その場合は、レーザ照射によってアモルファス・シリコン半導体5aをポリ化する際に半導体層5とゲート絶縁膜6との界面にシリコン酸化膜7は生成しないが、それでも、半導体層5とゲート絶縁膜6とは連続堆積膜であるため、半導体層5とゲート絶縁膜6との界面は、安定した良好な界面となる。

〔発明の効果〕

本発明の薄膜トランジスタの製造方法は、基板1上にアモルファス・シリコン半導体とゲート絶縁膜とを堆積させた後に、前記ゲート絶縁膜の上方

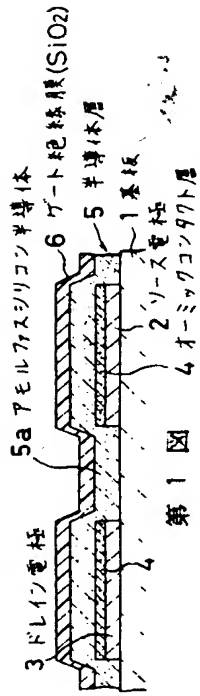
からレーザを照射してアモルファス・シリコン半導体をポリ化するものであるから、半導体層とゲート絶縁膜とを連続して堆積させることができ、したがって、半導体層とゲート絶縁膜との界面を安定した良好な界面にして、特性の均一な薄膜トランジスタを得ることができる。

4. 図面の簡単な説明

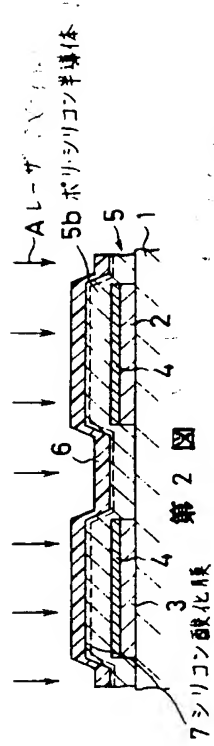
第1図~第5図は本発明の一実施例を示す薄膜トランジスタの製造工程図である。

1…基板、2…ソース電極、3…ドレイン電極、4…オーミックコンタクト層、5…半導体層、5a…アモルファス・シリコン半導体、5b…ポリ・シリコン半導体、6…ゲート絶縁膜、7…シリコン酸化膜、8…耐圧保持用絶縁膜、10…ゲート電極。

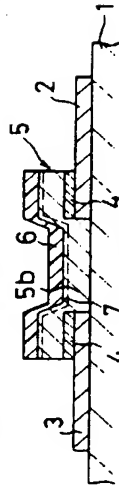
出願人 カシオ計算機株式会社



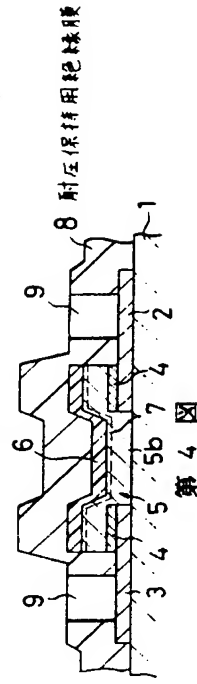
第1図



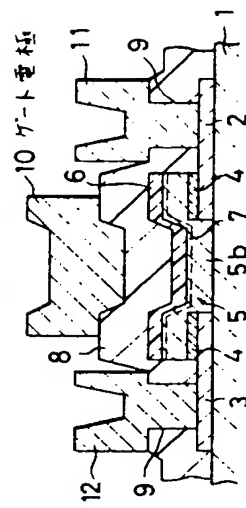
第2図



第3図



第4図



第5図

HPS Trailer Page
for

EAST

UserID: HLee4_Job_1_of_1

Printer: cp4_3c03_gbfhptr

Summary

<u>Document</u>	<u>Pages</u>	<u>Printed</u>	<u>Missed</u>	<u>Copies</u>
JP404051529A	4	4	0	1
Total (1)	4	4	0	-